

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

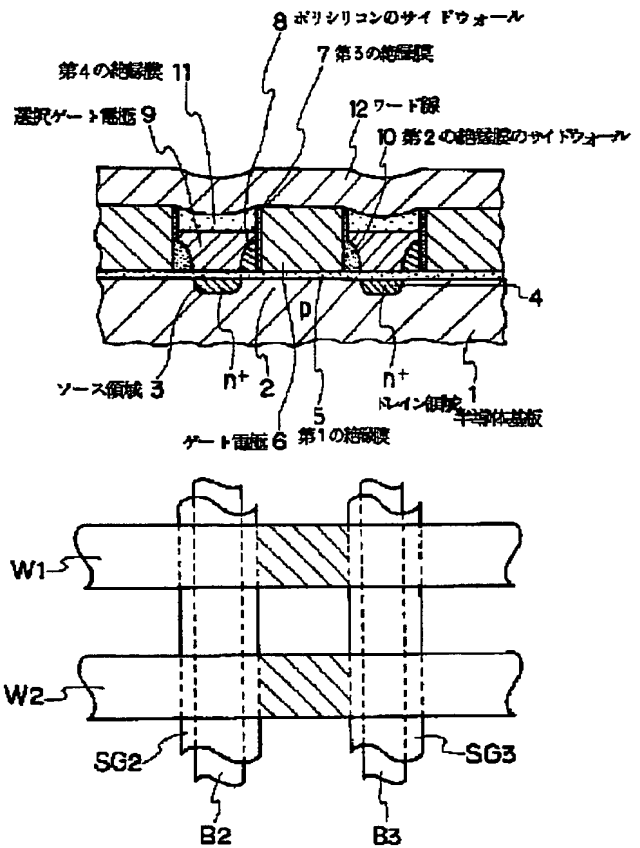
PUBLICATION NUMBER : 05326976  
 PUBLICATION DATE : 10-12-93  
 APPLICATION DATE : 20-05-92  
 APPLICATION NUMBER : 04127747

APPLICANT : ROHM CO LTD;

INVENTOR : NAKAO HIRONOBU;

INT.CL. : H01L 29/788 H01L 29/792 G11C 16/02

TITLE : SEMICONDUCTOR MEMORY AND  
 MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To provide a semiconductor memory and a manufacture thereof capable of precisely forming the semiconductor memory of FACE type in MONOS type or MNOS type at a small cell area.

CONSTITUTION: A first insulating film 5 is formed on the surface of a semiconductor substrate 1 and a gate electrode 6 is formed on the first insulating film 5. Then, a side wall 10 consisting of a second insulating film is formed on one side of the gate electrode 6 and a side wall 8 consisting of a polysilicon film through a third insulating film is formed on the other side of the gate electrode 6 and a source region 3 (drain region 4) is formed using both the side walls 8 and 10 as a mask. A selective gate electrode 9 is formed in contact with the side wall 8 of the polysilicon film and a word line 12 is formed on the selective gate electrode 9 through a fourth insulating film.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-326976

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
G 1 1 C 16/02				
		6741-5L	H 0 1 L 29/ 78	3 7 1
			G 1 1 C 17/ 00	3 0 7 E
			審査請求 未請求 請求項の数 2(全 7 頁)	

(21)出願番号 特願平4-127747  
 (22)出願日 平成4年(1992)5月20日

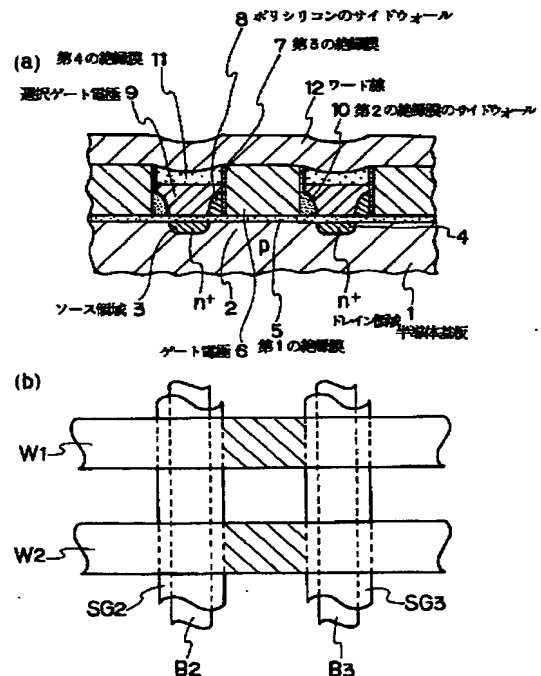
(71)出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町21番地  
 (72)発明者 中尾 広宣  
 京都市右京区西院溝崎町21番地 ローム株式会社内  
 (74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 半導体記憶装置およびその製法

(57)【要約】

【目的】 MONOS型またはMNOS型でFACE型の半導体記憶装置を小さいセル面積で精度良く形成できる半導体記憶装置およびその製法を提供する。

【構成】 半導体基板1の表面に第1の絶縁膜5が形成され、該第1の絶縁膜上にゲート電極6が形成され、そののちゲート電極の一方の横側に第2の絶縁膜によるサイドウォール10が、他方の横側に第3の絶縁膜を介してポリシリコン膜によるサイドウォール8が形成され、この両サイドウォールをマスクとしてソース領域3(ドレイン領域4)が形成される。前記ポリシリコン膜のサイドウォールと接触して選択ゲート電極9が形成され、該選択ゲート電極の上に第4の絶縁膜を介してワード線12が形成される。



## 【特許請求の範囲】

【請求項1】 (a) 第1導電型の半導体基板上に第1の絶縁膜を介して形成されたゲート電極、(b) 該ゲート電極の一方の横側に形成された第2の絶縁膜からなるサイドウォール、(c) 前記ゲート電極の他方の横側に第3の絶縁膜を介して形成されたポリシリコンからなるサイドウォール、(d) 前記両サイドウォールのそれぞれの外側の前記半導体基板に第2導電型の不純物が導入されて形成されたソース領域およびドレイン領域、および(e) 前記ポリシリコンからなるサイドウォールに連結して形成された選択ゲート電極からなる半導体記憶装置。

【請求項2】 (a) 半導体基板表面に第1の絶縁膜が形成され、該第1の絶縁膜上にゲート電極が形成される工程、(b) 該ゲート電極の一方の横側に第2の絶縁膜からなるサイドウォールが形成され、前記ゲート電極の他方の横側にポリシリコンからなるサイドウォールが形成される工程、(c) 前記両サイドウォールをマスクとしてイオン注入法によりソース領域(ドレイン領域)が形成され、該領域の第1の絶縁膜上に選択ゲート電極が形成される工程、および(d) 該選択ゲート電極上に第4の絶縁膜が形成され、該第4の絶縁膜上に横方向に並んだセルのゲート電極が連結されたワード線が形成される工程の結合からなる半導体記憶装置の製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体記憶装置およびその製法に関する。さらに詳しくは、絶縁膜に電子を注入してしきい値電圧を調整する半導体記憶装置で、セル面積の縮小化を図った半導体記憶装置およびその製法に関する。

## 【0002】

【従来の技術】電気的にデータの書換えが可能で、無電源状態でもデータ保持のできるEEPROMが幅広く使用されている。このEEPROMにはフローティングゲートにホットエレクトロンを注入するフラッシュメモリ型と、絶縁膜にFNトンネリングやダイレクトトンネリングなどにより、電子を注入する金属-酸化膜-窒化膜-酸化膜-半導体構造のMONOS (metal oxide nitride oxide semiconductor)型や金属-窒化膜-酸化膜-半導体構造のMNOS (metal nitride oxide semiconductor)型とがあり、MONOSやMNOS型はフラッシュメモリに比べ書込み回数が1~2桁多いため、有用されている。

【0003】一方、素子の小型化を図るため、フラッシュメモリ型で、アレイ状に並べられ、隣り合ったメモリトランジスタのドレインとソースが接続されて、ドレインおよびソースの両方にはコンタクトが形成されないFACE (Flash Array Contactless Eprom) 型の半導体記憶装置が、たとえば文献「ハイデンシティ コンタクトレス、セルフアライン EPROM セル アレー テ

クノロジー(High Density Contactless, Self Aligned EPROM Cell Array Technology)」、(アイイーディーエム(IEEM)、1986年、592~595頁)に開示されている。

【0004】一方、このFACE型半導体記憶装置の書込み、読出しをもっと簡単に行え、しかも、素子間分離用のLOCOS酸化膜を使用しないで、自己整合的にソース領域とチャネル領域のあいだに低濃度不純物領域を形成して書込みを禁止している半導体記憶装置が「アンアシメトリカル ライトリードープド ソース(ALDS)セル フォア バーチャル ダラウンド ハイデンシティ EPROM (An Asymmetrical Lightly-Doped Source (ALDS) Cell For Virtual Ground High Density EPROMS)」(アイイーディーエム(IEEM)、1988年、432~435頁)に開示されている。

【0005】このFACE型半導体記憶装置の半導体構造を図11に、等価回路図を図12に示す。この半導体記憶装置でセルP<sub>1</sub>のメモリトランジスタに書込みをするには、ビット線k(ドレイン領域24)に8V位の高電圧を印加し、ビット線k+1(ソース領域23)および他のビット線には0V位の低電圧を印加し、ワード線m(ワード線25)に12V位の高電圧を印加し、他のワード線には0V位の低電圧を印加することにより、チャネル領域(p層)22とドレイン領域24(ビット線k、n<sup>+</sup>層)とのあいだの濃度差が大きく違うため、ホットエレクトロンが生じ易く書込みが行われる。このセルpの右隣のセルP<sub>2</sub>もソース領域(ビット線k)が高電圧でゲート電極にも高電圧が印加されているが、ソース領域とチャネル領域のあいだに低濃度のn<sup>-</sup>領域21が形成されているため、ホットエレクトロンが生じにくく、書込みは行われない。また、読出し時はビット線k+1(ソース領域23)が2.5V位の高電圧で、ビット線kは低電圧、それ以外のビット線はオープンで、ワード線mに5V位の高電圧、他のワード線に低電圧が印加されることにより、セルP<sub>1</sub>の読出しを行うことができる。

## 【0006】

【発明が解決しようとする課題】前述のように、従来のFACE型半導体記憶装置はフローティングゲートを使用したフラッシュ型のメモリトランジスタが使用されて、書込み、読出しが行われている。しかしフラッシュ型のメモリトランジスタではホットエレクトロンが高エネルギーで注入されるため、酸化膜中に電荷が微量にトラップされたり、絶縁膜中のH<sub>2</sub>の結合などがきられて構造が変わったり、スレッショルド電圧V<sub>th</sub>のシフト量が変わって、ゲートに印加された高電圧と低電圧の区別ができなくなり、MONOS型やMNOS型のメモリトランジスタに比べて書換え回数が1~2桁少なくなるという問題がある。

【0007】一方、MONOS型やMNOS型のメモリトランジスタはゲートに高電圧が印加されるだけで書込

みが行われ、1個のメモリトランジスタだけで1つのセルに選択的に書き込みや読み出しを行うことができず、MONOS型やMNOS型の半導体記憶装置で、FACE型は実現されていない。

【0008】本発明は、このような問題を解決してMONOS型またはMNOS型で、FACE型のセル面積の縮小化を図った半導体記憶装置の製法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明による半導体記憶装置は、(a) 第1導電型の半導体基板上に第1の絶縁膜を介して形成されたゲート電極(b) 該ゲート電極の一方の横側に形成された第2の絶縁膜からなるサイドウォール、(c) 前記ゲート電極の他方の横側に第3の絶縁膜を介して形成されたポリシリコンからなるサイドウォール、(d) 前記両サイドウォールのそれぞれの外側の前記半導体基板に第2導電型の不純物が導入されて形成されたソース領域およびドレイン領域、および(e) 前記ポリシリコンからなるサイドウォールに連結して形成された選択ゲート電極からなるものである。

【0010】また、本発明による半導体記憶装置の製法は、(a) 半導体基板表面に第1の絶縁膜が形成され、該第1の絶縁膜上にゲート電極が形成される工程、(b) 該ゲート電極の一方の横側に第2の絶縁膜からなるサイドウォールが形成され、前記ゲート電極の他方の横側にポリシリコンからなるサイドウォールが形成される工程、(c) 前記両サイドウォールをマスクとしてイオン注入法によりソース領域(ドレイン領域)が形成され、該領域の第1の絶縁膜上に選択ゲート電極が形成される工程、および(d) 該選択ゲート電極上に第4の絶縁膜が形成され、該第4の絶縁膜上に横方向に並んだセルのゲート電極が連結されたワード線が形成される工程の結合からなるものである。

【0011】

【作用】本発明によれば、メモリトランジスタのゲート電極が第1導電型の半導体基板の第1の絶縁膜上に形成され、該ゲート電極の横側に形成されたサイドウォールにより第2導電型の高濃度領域(ソース領域およびドレイン領域)が形成されているため、微細寸法でチャンネル領域と離間してソース領域およびドレイン領域が形成される。

【0012】しかも一方のサイドウォールがポリシリコンで形成され選択ゲート電極に連結されており、該選択ゲート電極に電圧が印加されることによりソース領域側の空乏層が拡がり、チャンネル領域とソース領域が空乏層で連結され、高濃度不純物のソース領域から電子がチャンネル領域に供給され、チャンネル領域全体から絶縁膜に電子注入が行われ、書き込みがなされる。

【0013】この際、他の書き込みを行わないセルでは、選択ゲートに電圧が印加されていないため、書き込みが行

われない。

【0014】また、読み出し時は前述の書き込み時と同様にワード線(ゲート電極)と選択ゲートに電圧が印加されると共に、ドレイン線にも電圧が印加されることによりドレイン領域の空乏層も拡がってチャンネル領域と連結され、結局ソース領域からチャンネル領域を経てドレイン領域まで連結されて通電されうる状態になり、書き込みがなされた電荷によるスレッショルド電圧に応じて導通、非導通となり、「1」または「0」の状態が読み出せる。

【0015】したがって、MONOS型またはMNOS型で微細構造のFACE型半導体記憶装置を実現できる。

【0016】

【実施例】つぎに、図面を参照しながら本発明について説明する。図1は本発明による半導体記憶装置の構造を示し、(a)は断面構造図、(b)は平面図を示している。また図2にその等価回路図を示している。

【0017】図1において、第1導電型(たとえばp型)半導体基板1のチャンネル領域2の両側にそれぞれ離間して第2導電型(たとえばn型)の高濃度領域によるソース領域3、ドレイン領域4が形成され、このソース領域3は左隣のセルのドレイン領域と共通で、ドレイン領域4は右隣のセルのソース領域と共通化され、FACE型半導体記憶装置が構成されている。半導体基板1の表面には第1の絶縁膜5が形成され、この絶縁膜5はシリコン酸化膜、シリコン窒化膜、シリコン酸化膜の3層かシリコン酸化膜とシリコン窒化膜の2層構造で形成されている。チャンネル領域2の絶縁膜5上には、たとえばポリシリコン膜で形成されたゲート電極6が形成され、その横側の一方には第3の絶縁膜7を介してポリシリコン膜のサイドウォール8が形成されている。このサイドウォール8は、たとえばタングステンなどで形成された選択ゲート電極9と電気的に接続され、選択ゲート電極9に印加される電圧により、ポリシリコン膜のサイドウォール8を介してソース領域3とチャンネル領域2とのあいだの導通、非導通が制御される。ゲート電極6の反対側の横側には第2の絶縁膜によるサイドウォール10が形成され、チャンネル領域2とドレイン領域4とがオフセットして形成されるようになってい

【0018】このように形成される半導体記憶装置の駆動法について説明する。図2に等価回路図で示されたセ

ルQ<sub>1</sub>の書込み、読出しについて図1をも参照しつつ説明する。

【0019】まず書込みをするには、ワード線W<sub>1</sub>に10V位の高電圧が印加され、選択ゲートSG<sub>2</sub>に5V位の高電圧が印加され、他のワード線、ビット線、選択ゲート線および基板に0Vかそれに近い低い電圧が印加されることにより、セルQ<sub>1</sub>のみに書込みが行われる。すなわち、セルQ<sub>1</sub>の選択ゲート電極SG<sub>2</sub>には5V印加されているため、ソース領域3(ビット線B<sub>2</sub>)とチャンネル領域2の離間部分に空乏層が形成され、導通状態となり、ソース領域3のn<sup>+</sup>型の高濃度領域から電子がチャンネル領域2に進み、ゲート電極6に印加された電圧により電子が絶縁膜5にトンネリング注入され、書込みがなされる。他のセルはゲート電極6に高電圧が印加されていないかまたは選択ゲート電極9に高電圧が印加されていないため、書込みはなされない。すなわち、ゲート電極6と選択ゲート電極9の両方に高電圧が印加されたばあいのみ書込みがなされる。

【0020】つぎに、読出しについて説明する。読出しはソースドレイン間に電流が流れうる状態になっており、かつ、ゲート電極に電圧が印加されることにより、ゲート絶縁膜の書込み状態に応じたスレッシュホールド値電圧でON、OFFが発生し、「1」の状態または「0」

の状態の読出しができる。したがってセルQ<sub>1</sub>の読出しを行うには、ビット線B<sub>3</sub>に5V位の高電圧が印加され、チャンネル領域2とドレイン領域4のあいだの離間部分に空乏層が形成されてチャンネル領域2とドレイン領域4が連結されると共に、選択ゲート線SG<sub>2</sub>にも5V位の高電圧が印加されてソース領域3とチャンネル領域2のあいだも導通状態にされ、その上で、ワード線W<sub>1</sub>に5V位の高電圧が印加されることにより、スレッシュホールド電圧に応じてソースドレイン間に電流が流れたり、流れなかったりして「1」の状態または「0」の状態を読みとることができる。このとき、ビット線B<sub>2</sub>は0Vかそれに近い電圧で、他のビット線はオープンにされる。また他のワード線、選択ゲート線、基板は全て0Vまたはそれに近い低電圧にされる。

【0021】消去する際は、全セルの一括消去方式で、基板に10V位の高電圧が印加され、他のワード線、ビット線、選択ゲート線は全て0Vまたはそれに近い低電圧にされる。

【0022】以上の関係を表にまとめると表1のようになる。

【0023】

【表1】

表 1

	W <sub>1</sub>	W <sub>2</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	基板
書込み(V)	10	0	0	0	0	0	0	5	0	0
読出し(V)	5	0	オープン	0	5	オープン	0	5	0	0
消去(V)	0	0	0	0	0	0	0	0	0	10

【0024】つぎに、本発明の半導体記憶装置の製法について説明する。図3~10は本発明の一実施例である半導体記憶装置の製造工程図である。

【0025】まず、図3~4に示すように、半導体基板1の表面に第1の絶縁膜5が形成され、引き続きゲート電極6が形成される。具体的には、第1の絶縁膜5として最初に熱酸化法により800~900℃、約20分間の熱処理をして約200オングストロームのシリコン酸化膜が形成される。さらに、CVD法により、SiH<sub>2</sub>Cl<sub>2</sub>ガスとNH<sub>3</sub>ガスが導入され、700~800℃で約10分間気相反応させることによりシリコンチッ化膜が約80オングストローム形成される。この上にさらに水蒸気を導入して900~1000℃、約60分間の熱処理をするスチーム酸化法により約50オングストロームのシリコン酸化膜が形成さ

れる。この第1の絶縁膜5は3層構造でなくても酸化膜とチッ化膜の2層構造でもよく、このばあい各々の厚さはそれぞれ15~30および190~300オングストローム位にするのが好ましい。この第1の絶縁膜5上にゲート電極6を形成するため、SiH<sub>4</sub>ガスとN<sub>2</sub>ガスを導入し、600~650℃の処理により、約5000オングストロームのポリシリコン膜が形成され、チャンネル領域2、チャンネル領域2とソース領域3の間隙分およびチャンネル領域2とドレイン領域4の間隙分の合計の間隔がエッチング除去され開口部15が形成される。

【0026】つぎに、図5~6に示すように、開口部15の両側すなわち、ゲート電極6の両側にポリシリコン膜のサイドウォール8と第2の絶縁膜によるサイドウォール10が形成される。具体的には、SiH<sub>2</sub>Cl<sub>2</sub>ガスと

N<sub>2</sub> Oガスを導入し、500～600℃で気相反応させるCVD法によりシリコン酸化膜が約2000オングストローム全面に形成され、引き続きRIE法によりエッチバックし、片方をマスクングしてエッチングし、片方のみに第2の絶縁膜によるサイドウォール10が形成される。さらに、後のイオンエッチングのストッパ用に第3の絶縁膜7として、水蒸気を導入し800～900℃、約30分間加熱するパイロジェニック酸化法により約500オングストロームのシリコン酸化膜がゲート電極6の周囲に形成される。そののち、前述と同様にCVD法でポリシリコン膜が約2000オングストローム形成され、エッチバックによりポリシリコン膜のサイドウォール8が形成される。この際、第2の絶縁膜によるサイドウォール10が形成された側のポリシリコン膜のサイドウォールはエッチング除去される。

【0027】つぎに、図7～8に示すように、サイドウォール8、10をマスクとしてイオン注入法により第2導電型の不純物が導入され、ソース領域2（ドレイン領域3）が形成され、第1の絶縁膜5上に選択ゲート電極9が形成される。具体的には、リン（P）イオンをイオンの加速電圧を70keV、ドーズ量を5×10<sup>15</sup> cm<sup>-2</sup>でイオン注入し、そののち、WF<sub>6</sub>ガスとSiH<sub>4</sub>ガスを導入し、300～400℃で反応させるCVD法によりタンゲステン膜が形成され、エッチバックによりゲート電極6の面より低くなるように形成される。この際、ゲート電極6側は表面に前述の第3の絶縁膜7が形成されているため、エッチングはこの第3の絶縁膜7で止まり、タンゲステン膜のみがエッチングされる。この選択ゲート電極9がゲート電極6より低く形成されるのは、後の工程で形成される。ゲート電極6を結ぶワード線12との間隔が近いと、ワード線12に印加された電圧が選択ゲート電極9に相互作用し、選択ゲート電極9に電圧が印加されないのにソースとチャンネル間が導通状態になるのを防止するためである。

【0028】最後に図9～10に示すように、選択ゲート9上に第4の絶縁膜を介して横方向のセルの各ゲート電極を連結するワード線が形成される。具体的には、PH<sub>3</sub>ガスとSiH<sub>4</sub>ガスとB<sub>2</sub>H<sub>6</sub>ガスを導入し、500～600℃で反応させるCVD法により約1000オングストロームのBPSG膜（ボロフォスホシリケートガラス膜）が形成され、900～1000℃約60分間の熱処理をすることによりBPSG膜が平坦化される。そののち、RIE法によりエッチバックしてゲート電極6を露出せしめ、その上にCVD法によりポリサイド膜が形成され、パターンニングによりワードライン12が形成される。そののち、この表面に随時保護膜が形成されうる。

【0029】前述の具体例はあくまでも一例であって、絶縁膜や電極の材料さらには形成法は前述の具体例に拘束されることなく、周知の他の材料や方法でなされる。

【0030】

【発明の効果】本発明によれば、チャンネル領域とソース領域およびドレイン領域とのあいだのオフセットが、サイドウォールにより自己整合的に形成でき、マスクが不要で微細化され、セル面積の小さい高精度のMONOS型またはMNOS型の半導体記憶装置がえられる。さらに本発明によれば、半導体基板に厚い酸化膜を形成するLOCOS酸化膜を形成しないで、表面にCVD法などにより形成された絶縁膜により、ワード線の電圧がチャンネル領域とドレイン領域とのあいだのオフセットに影響しないようにしているため、一層の微細化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体記憶装置の構造を示す説明図で、(a)が断面図、(b)が平面図である。

【図2】本発明の一実施例である半導体記憶装置の等価回路図である。

【図3】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図4】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図5】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図6】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図7】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図8】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図9】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図10】本発明の一実施例である半導体記憶装置の製造工程説明図である。

【図11】従来のフローティングゲート型でFACE型の半導体記憶装置の断面説明図である。

【図12】従来のフローティングゲート型でFACE型の半導体記憶装置の等価回路図である。

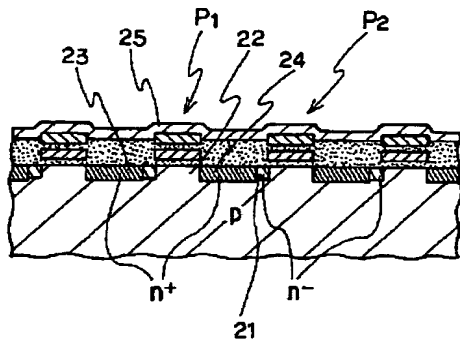
【符号の説明】

- 1 半導体基板
- 3 ソース領域
- 4 ドレイン領域
- 5 第1の絶縁膜
- 6 ゲート電極
- 7 第3の絶縁膜
- 8 ポリシリコンのサイドウォール
- 9 選択ゲート電極
- 10 第2の絶縁膜のサイドウォール
- 11 第4の絶縁膜
- 12 ワード線

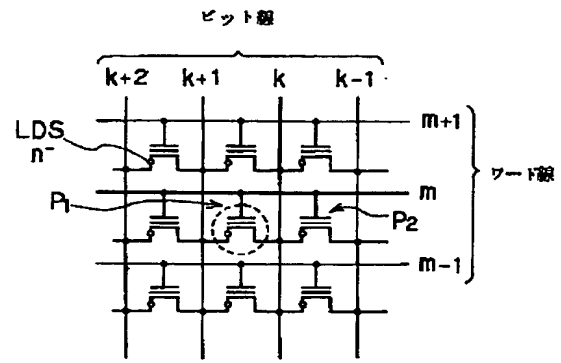




【図11】



【図12】





## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-326976

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H01L 29/788

H01L 29/792

G11C 16/02

(21)Application number : 04-127747

(71)Applicant : ROHM CO LTD

(22)Date of filing : 20.05.1992

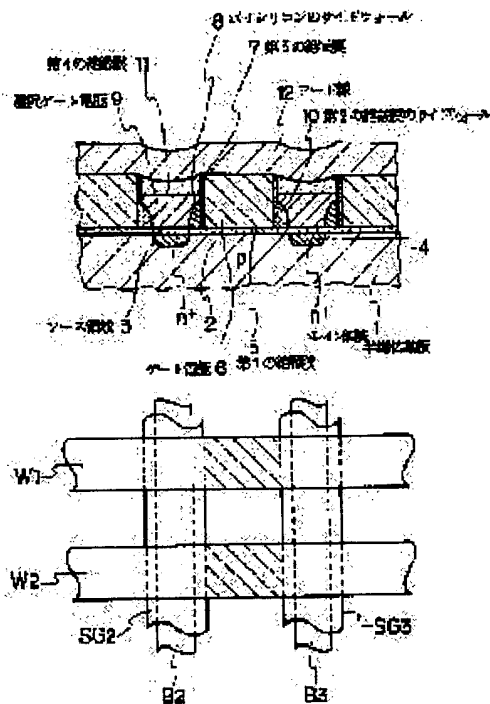
(72)Inventor : NAKAO HIRONOBU

## (54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

**PURPOSE:** To provide a semiconductor memory and a manufacture thereof capable of precisely forming the semiconductor memory of FACE type in MONOS type or MNOS type at a small cell area.

**CONSTITUTION:** A first insulating film 5 is formed on the surface of a semiconductor substrate 1 and a gate electrode 6 is formed on the first insulating film 5. Then, a side wall 10 consisting of a second insulating film is formed on one side of the gate electrode 6 and a side wall 8 consisting of a polysilicon film through a third insulating film is formed on the other side of the gate electrode 6 and a source region 3 (drain region 4) is formed using both the side walls 8 and 10 as a mask. A selective gate electrode 9 is formed in contact with the side wall 8 of the polysilicon film and a word line 12 is formed on the selective gate electrode 9 through a fourth insulating film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] (a) The gate electrode formed through the 1st insulator layer on the semiconductor substrate of the 1st conductivity type, (b) The sidewall which consists of the 2nd insulator layer formed in one side side of this gate electrode, (c) The sidewall which consists of contest polysilicon formed in the side side of another side of the aforementioned gate electrode through the 3rd insulator layer, (d) The source field and drain field where the impurity of the 2nd conductivity type was introduced and formed in the aforementioned semiconductor substrate of each outside of both the aforementioned sidewalls, And (e) Semiconductor memory which consists of a selector-gate electrode which connected with the sidewall which consists of contest the aforementioned polysilicon, and was formed.

[Claim 2] (a) the 1st insulator layer forms in a semiconductor substrate front face -- having -- this -- the process by which a gate electrode is formed on the 1st insulator layer -- (b) The sidewall which is from the 2nd insulator layer on one side side of this gate electrode is formed. The process in which the sidewall which is from contest polysilicon on the side side of another side of the aforementioned gate electrode is formed, (c) A source field (drain field) is formed by ion-implantation by using both the aforementioned sidewalls as a mask. the process by which a selector-gate electrode is formed on the 1st [ of this field ] insulator layer, and (d) the 4th insulator layer forms on this selector-gate electrode -- having -- this -- process of a semiconductor memory which consists of combination of a process in which the word line with which the gate electrode of the cell located in a line with the longitudinal direction was connected is formed on the 4th insulator layer

---

[Translation done.]



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to a semiconductor memory and its process. It is the semiconductor memory which pours an electron into an insulator layer and adjusts threshold voltage in more detail, and is related with the semiconductor memory which attained reduction-ization of cell area, and its process.

[0002]

[Description of the Prior Art] Rewriting of data is electrically possible and EEPROM which can do data-hold also in the state of a non-power supply is used broadly. To the flash memory type which pours a hot electron into this EEPROM at the floating gate, and an insulator layer, by FN tunneling, direct tunneling, etc. An electron MONOS (metal oxide nitride oxide semiconductor) of the metal-oxide-film-CHITSU-ized film-oxide-film-semiconductor structure to pour in -- MNOS () of type metallurgy group-CHITSU-ized film-oxide-film-semiconductor structure [ metal ] nitride oxide semiconductor There is type, and since there are 1-2 figures of much number of times of writing compared with flash plate type memory, useful [ of MONOS or the MNOS type ] is carried out.

[0003] On the other hand, in order to attain the miniaturization of an element, it is arranged in the shape of an array with a flash memory type. FACE by which the adjacent drain and the adjacent source of a memory transistor are connected, and contact is not formed in both a drain and the source (Flash Array Contactless Eprom) The semiconductor memory of type "For example, reference High density contact loess, Self aryne EPROM Cell Array Technology" (High Density Contactless, Self Aligned EPROM Cell Array Technology), It is indicated by (an eye I dee em (IEDM), 1986, and the 592 - 595 page).

[0004] On the other hand, without being able to perform more easily writing of this FACE type semiconductor memory, and read-out and using the LOCOS oxide film for separation between elements moreover A low concentration impurity range is formed between a source field and a channel field at a self-adjustment target. Writing "The forbidden semiconductor memory Ann reed MENTORIKARU rye tree doped Source (ALDS) cell forehead Bar CHUARU DARAUNDO highness EPROM Density () [ An ] Asymmetrical Lightly-Doped Source(ALDS) Cell For Virtual Ground High Density EPROMS" (an eye I dee em (IEDM) -- in 1988) 432-435 It is indicated by the page.

[0005] Semiconductor structural drawing of this FACE type semiconductor memory is shown in drawing 11, and a representative circuit schematic is shown in drawing 12. It is a cell P1 at this semiconductor memory. In order to write in a memory transistor Impress the 8V place high voltage to bit line k (drain field 24), and a 0V place low battery is impressed to a bit line k+1 (source field 23) and other bit lines. By impressing the 12V place high voltage to word line m (word line 25), and impressing a 0V place low battery to other word lines Since the concentration difference between the channel field (p layers) 22 and the drain field 24 (bit line k, n+ layer) is greatly different, writing is performed that it is easy to produce a hot electron. Cell P2 on the right of this cell p Although the high voltage is impressed also to the gate electrode for the source field (bit line k) by the high voltage, since the low-concentration n-field 21 is formed between the source field and the channel field, it is hard to produce a hot electron and writing is not performed. Moreover, it is a cell P1 by a bit line k+1 (source field 23) being a 2.5 V place high voltage at the time of read-out, and a low battery and the other bit line of bit line k being open, and impressing the 5V place high voltage to word line m, and impressing a low battery to other word lines. Read-out can be performed.

[0006]

[Problem(s) to be Solved by the Invention] As mentioned above, the flash plate type memory transistor which used the floating gate is used, the conventional FACE type semiconductor memory is written in, and read-out is performed. However, it is H2 in an insulator layer in that the trap of the charge is carried out very small into an oxide film since a hot electron is poured in by the high energy with a flash plate type memory transistor \*\*\*\*. Combination etc. is cut, structure changes, or the shift amount of threshold voltage  $V_{th}$  changes, distinction of the high voltage and low battery





which were impressed to the gate becomes impossible, it rewrites compared with the memory transistor of a MONOS type or an MNOS type, and there is a problem that 1-2 figures of number of times decrease.

[0007] On the other hand, writing is performed only by the high voltage being impressed to the gate, the memory transistor of a MONOS type or an MNOS type can perform neither writing nor read-out in one cell alternatively only with one memory transistor, it is the semiconductor memory of a MONOS type or an MNOS type, and the FACE type is not realized.

[0008] this invention solves such a problem, is a MONOS type or an MNOS type, and aims at offering the process of the semiconductor memory which attained reduction-ization of a FACE type cell area.

[0009]

[Means for Solving the Problem] The semiconductor memory by this invention is (a). Gate electrode formed through the 1st insulator layer on the semiconductor substrate of the 1st conductivity type (b) The sidewall which consists of the 2nd insulator layer formed in one side side of this gate electrode, (c) The sidewall which consists of contest polysilicon formed in the side side of another side of the aforementioned gate electrode through the 3rd insulator layer, (d) The source field where the impurity of the 2nd conductivity type was introduced and formed in the aforementioned semiconductor substrate of each outside of both the aforementioned sidewalls, a drain field, and (e) It consists of a selector-gate electrode which connected with the sidewall which consists of contest the aforementioned polysilicon, and was formed.

[0010] Moreover, the process of the semiconductor memory by this invention (a) the 1st insulator layer forms in a semiconductor substrate front face -- having -- this -- the process by which a gate electrode is formed on the 1st insulator layer -- (b) The sidewall which is from the 2nd insulator layer on one side side of this gate electrode is formed. The process in which the sidewall which is from contest polysilicon on the side side of another side of the aforementioned gate electrode is formed, (c) A source field (drain field) is formed by ion-implantation by using both the aforementioned sidewalls as a mask. the process by which a selector-gate electrode is formed on the 1st [ of this field ] insulator layer, and (d) the 4th insulator layer forms on this selector-gate electrode -- having -- this -- it consists of combination of a process in which the word line with which the gate electrode of the cell located in a line with the longitudinal direction was connected is formed on the 4th insulator layer

[0011]

[Function] Since the high concentration field (a source field and drain field) of the 2nd conductivity type is formed of the sidewall by which the gate electrode of a memory transistor was formed on the 1st [ of the semiconductor substrate of the 1st conductivity type ] insulator layer, and was formed in the side side of this gate electrode according to this invention, it estranges with a channel field with a detailed size, and a source field and a drain field are formed.

[0012] And one sidewall is formed with contest polysilicon and connected with the selector-gate electrode, by impressing voltage to this selector-gate electrode, the depletion layer by the side of a source field spreads, a channel field and a source field are connected by the depletion layer, an electron is supplied to a channel field from the source field of a high concentration impurity, an electron injection is performed to an insulator layer from the whole channel field, and writing is made.

[0013] Under the present circumstances, in the cell which does not perform other writing, since voltage is not impressed to the selector gate, writing is not performed.

[0014] Moreover, at the time of read-out, while voltage is impressed to a word line (gate electrode) and a selector gate like the time of the above-mentioned writing By impressing voltage also to a drain wire, the depletion layer of a drain field also spreads and it connects with a channel field. According to the threshold voltage by the charge by which it changed into the state of it being connected and energized and getting from a source field to a drain field through a channel field after all, and writing was made, it is a flow and un-flowing, and the state of "1" or "0" can be read.

[0015] Therefore, the FACE type semiconductor memory of the fine structure is realizable with a MONOS type or an MNOS type.

[0016]

[Example] Below, this invention is explained, referring to a drawing. Drawing 1 shows the structure of the semiconductor memory by this invention, and is (a). Cross-section structural drawing and (b) The plan is shown. Moreover, the representative circuit schematic is shown in drawing 2 .

[0017] In drawing 1 , it estranges on both sides of the channel field 2 of the 1st conductivity-type (for example, p type) semiconductor substrate 1, respectively, and the source field 3 by the high concentration field of the 2nd conductivity type (for example, n type) and the drain field 4 are formed in them, this source field 3 is as common as the drain field of a cell on the left, the drain field 4 is communalized with the source field of a cell on the right, and the FACE type semiconductor memory is constituted. The 1st insulator layer 5 is formed in the front face of the semiconductor substrate 1, and this insulator layer 5 is formed with the two-layer structure of the three layers, silicon oxide, and



SHIRIKONCHITSU-ized film of a silicon oxide, a SHIRIKONCHITSU-ized film, and a silicon oxide. On the insulator layer 5 of the channel field 2, the gate electrode 6 formed by the polysilicon contest film is formed, and the sidewall 8 of a polysilicon contest film is formed through the 3rd insulator layer 7 at one side by the side of the width. This sidewall 8 is electrically connected with the selector-gate electrode 9 formed with the tungsten etc., and the flow between the source field 3 and the channel field 2 and un-flowing are controlled by voltage impressed to the selector-gate electrode 9 through the sidewall 8 of a polysilicon contest film. The sidewall 10 by the 2nd insulator layer is formed in the side side of the opposite side of the gate electrode 6, and the channel field 2 and the drain field 4 offset, and it is formed. It wires so that a word line 12 may connect the gate electrode of a lateral cell with this selector-gate electrode 9 bottom through the 4th insulator layer 11. (b) of drawing 1 The gate electrode of the cell of the longitudinal direction of each cell arranged in the shape of an array is connected so that it may be shown. A word line W1, W2 It is formed and the source field 3 of each cell located in a line with lengthwise and the high concentration field of the 2nd conductivity type of the drain field 4 are connected. Bit line B-2, B3 It is formed, the selector-gate electrode 9 of each cell similarly located in a line with lengthwise is connected, and they are the selector-gate line SG2 and SG3. It is formed.

[0018] Thus, the method of driving the semiconductor memory formed is explained. Cell Q1 shown in drawing 2 by the representative circuit schematic It explains also referring to drawing 1 about writing and read-out.

[0019] In order to write in first, it is a word line W1. The 10V place high voltage is impressed and it is a selector gate SG2. It is a cell Q1 by impressing the 5V place high voltage and impressing the low voltage near 0V or it to other word lines, bit lines, selector-gate lines, and substrates. Writing is performed. namely, cell Q1 Selector-gate electrode SG2 \*\*\*\* -- since it is impressed 5V -- alienation of the source field 3 (bit line B-2) and the channel field 2 -- a depletion layer will be formed in a portion and it will be in switch-on, and an electron goes to the channel field 2 from the high concentration field of n+ type of the source field 3, tunneling pouring of the electron is carried out by the voltage impressed to the gate electrode 6 at an insulator layer 5, and writing is made Since the high voltage is not impressed to the gate electrode 6 or, as for other cells, the high voltage is not impressed to the selector-gate electrode 9, writing is not made. That is, writing is made only when the high voltage is impressed to both the gate electrode 6 and the selector-gate electrode 9.

[0020] Below, read-out is explained. By being in the state where current may flow between source-drains, and impressing voltage to a gate electrode, ON and OFF occur on the threshold level value voltage according to the write-in state of a gate insulator layer, and read-out of the state of "1" or the state of "0" can do read-out. therefore, cell Q1 for performing read-out -- bit line B3 the 5V place high voltage impresses -- having -- the alienation between the channel field 2 and the drain field 4, while a depletion layer is formed in a portion and the channel field 2 and the drain field 4 are connected with it Selector-gate line SG2 The 5V place high voltage is impressed and between the source field 3 and the channel fields 2 is made into switch-on. on it Word line W1 By impressing the 5V place high voltage, according to threshold voltage, current can flow, or cannot flow and it can read the state of "1", or the state of "0" between source-drains. At this time, it is bit line B-2. It is the voltage near 0V or it, and other bit lines are made opening. Moreover, all of other word lines, a selector-gate line, and a substrate are made into the low battery near 0V or it.

[0021] In case it eliminates, it is the package elimination method of all cells, and the 10V place high voltage is impressed to a substrate, and all of other word lines, a bit line, and a selector-gate line are made into the low battery near 0V or it.

[0022] If the above relation is summarized in a table, it will become as it is shown in Table 1.

[0023]

[Table 1]



表 1

	W <sub>1</sub>	W <sub>2</sub>	B <sub>1</sub>	B <sub>2</sub>	B <sub>3</sub>	B <sub>4</sub>	SG <sub>1</sub>	SG <sub>2</sub>	SG <sub>3</sub>	基 板
書き込み (V)	10	0	0	0	0	0	0	5	0	0
読出し (V)	5	0	オープン	0	5	オープン	0	5	0	0
消 去 (V)	0	0	0	0	0	0	0	0	0	10

[0024] Below, the process of the semiconductor memory of this invention is explained. Drawing 3 -10 are the manufacturing process view of the semiconductor memory which is one example of this invention.

[0025] First, as shown in drawing 3 -4, the 1st insulator layer 5 is formed in the front face of the semiconductor substrate 1, and the gate electrode 6 is formed succeedingly. Specifically, 800 - 900 \*\* and heat treatment for about 20 minutes are first carried out by the oxidizing [ thermally ] method as the 1st insulator layer 5, and about 20A silicon oxide is formed. Furthermore, it is SiH<sub>2</sub> Cl<sub>2</sub> by CVD. Gas and NH<sub>3</sub> Gas is introduced and about 80A of SHIRIKONCHITSU-ized films is formed by carrying out gaseous phase reaction for about 10 minutes by 700 - 800 \*\*. About 50A silicon oxide is formed of the steam oxidation style which besides introduces a steam further and carries out 900-1000 degrees C and heat treatment for about 60 minutes. Even if it is not a three-tiered structure, the two-layer structure of an oxide film and a CHITSU-ized film is sufficient as this 1st insulator layer 5, and each thickness is 15-30, and 190-300 in this case, respectively. It is desirable to make it angstrom grade. It is SiH<sub>4</sub> in order to form the gate electrode 6 on this 1st insulator layer 5. Gas and N<sub>2</sub> Gas is introduced, about 5000A polysilicon contest film is formed, etching removal of the interval of the sum total for a part for the gap of the channel field 2, the channel field 2, and the source field 3 and the gap of the channel field 2 and the drain field 4 is carried out by processing of 600 - 650 \*\*, and opening 15 is formed of it.

[0026] Next, as shown in drawing 5 -6, the sidewall 8 of a polysilicon contest film and the sidewall 10 by the 2nd insulator layer are formed in the both sides of opening 15, i.e., the both sides of the gate electrode 6. Specifically, it is SiH<sub>2</sub> Cl<sub>2</sub>. Gas and N<sub>2</sub> O gas are introduced, a silicon oxide is formed all over about 2000A of the CVD which carries out gaseous phase reaction by 500 - 600 \*\*, etchback is succeedingly carried out by the RIE method, and one of the two is masked, it \*\*\*\*\*, and the sidewall 10 by the 2nd insulator layer is formed only in one of the two. Furthermore, a steam is introduced into the stoppers of next ion etching as the 3rd insulator layer 7, and it is about 500 by 800 - 900 \*\* and the pie ROJIE nick oxidation style heated for about 30 minutes. The silicon oxide of angstrom is formed in the circumference of the gate electrode 6. About 2000A of polysilicon contest films is formed by CVD like the above-mentioned after it, and the sidewall 8 of a polysilicon contest film is formed of etchback. Under the present circumstances, etching removal of the sidewall of the near polysilicon contest film with which the sidewall 10 by the 2nd insulator layer was formed is carried out.

[0027] Next, as shown in drawing 7 -8, the impurity of the 2nd conductivity type is introduced by ion-implantation by using sidewalls 8 and 10 as a mask, the source field 2 (drain field 3) is formed, and the selector-gate electrode 9 is formed on the 1st insulator layer 5. Specifically, the ion implantation of 70keV(s) and the dose is carried out [ the Lynn (P) ion ] for the acceleration voltage of ion by 5x10<sup>15</sup>cm<sup>-2</sup>, and it is after it and WF<sub>6</sub>. Gas and SiH<sub>4</sub> Gas is introduced and a DANGU stainless steel film is formed of the CVD made to react by 300 - 400 \*\*, and it is formed so that it may become lower than the field of the gate electrode 6 by etchback. Under the present circumstances, since the 3rd above-mentioned insulator layer 7 is formed in the front face by the gate electrode 6 side, etching stops at this 3rd insulator layer 7, and only a tungsten film \*\*\*\*\*. It is formed at a next process that this selector-gate electrode 9 is formed lower than the gate electrode 6. When an interval with the word line 12 which connects the gate electrode 6 is near, it is for preventing that between the source and a channel is that the voltage impressed to the word line 12 interacts to the selector-gate electrode 9, and voltage is not impressed to the selector-gate electrode 9 at switch-on.

[0028] As finally shown in drawing 9 -10, the word line which connects each gate electrode of a lateral cell through the 4th insulator layer on a selector gate 9 is formed. Specifically, it is PH<sub>3</sub>. Gas and SiH<sub>4</sub> Gas and B-2 H<sub>6</sub> Gas is introduced, about 1000A BPSG film (BOROFOSUHOSHIKE toga lath film) is formed of the CVD made to react by



500 - 600 \*\*, and flattening of the BPSG film is carried out by carrying out heat treatment for [ 900-1000 degrees-C ] about 60 minutes. Carry out etchback by the RIE method, the gate electrode 6 is made to expose after it, a polycide film is formed of CVD on it, and the WORD line 12 is formed of patterning. After it, a protective coat is formed in this front face at any time, and it gets.

[0029] The above-mentioned example is an example to the last, and without being restrained by the above-mentioned example, it is made by well-known other materials and a well-known method, and it deals in the material and also the forming method of an insulator layer or an electrode.

[0030]

[Effect of the Invention] According to this invention, the offset between a channel field, a source field, and a drain field can form in a self-adjustment target by the sidewall, a mask is unnecessary, and turns minutely, and the semiconductor memory of a highly precise MONOS type with a small cell area or an MNOS type is obtained. Furthermore, according to this invention, since it is made for the voltage of a word line not to influence the offset between a channel field and a drain field, it can contribute to much more detailed-ization by the insulator layer formed in the front face of CVD etc., without forming the LOCOS oxide film which forms a thick oxide film in a semiconductor substrate.

---

[Translation done.]





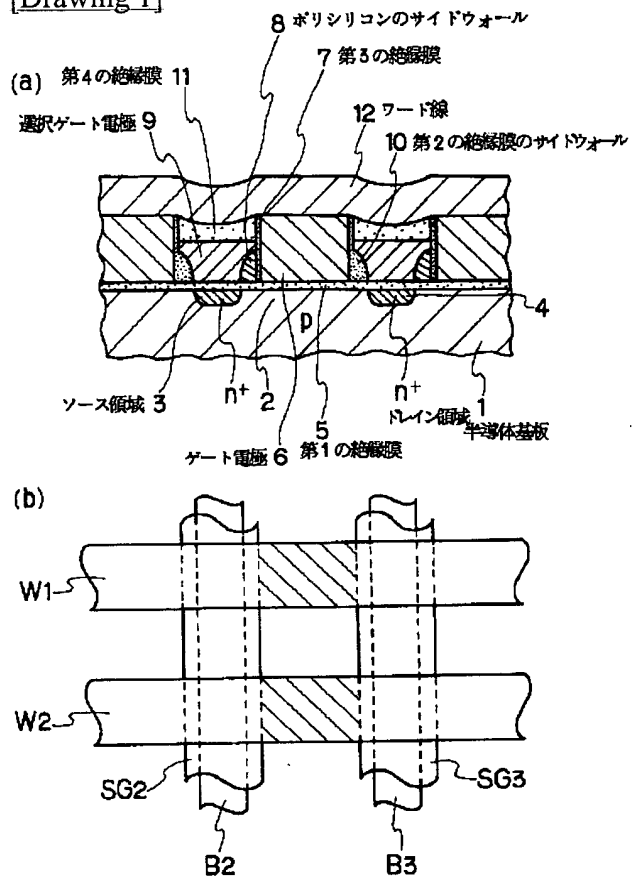
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

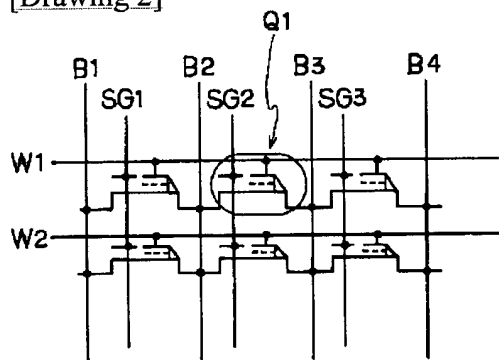
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

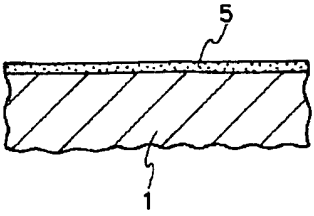


[Drawing 2]

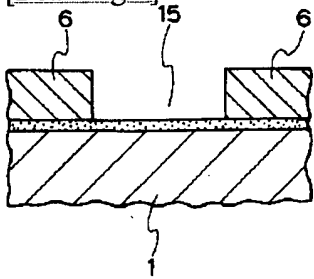


[Drawing 3]

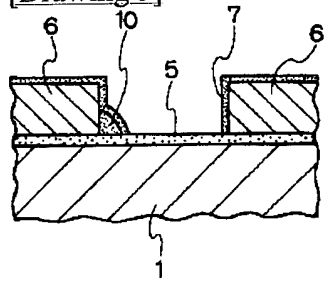




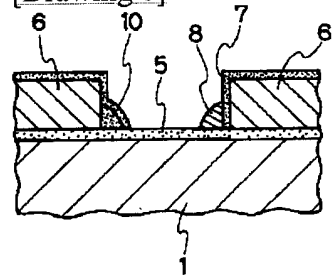
[Drawing 4]



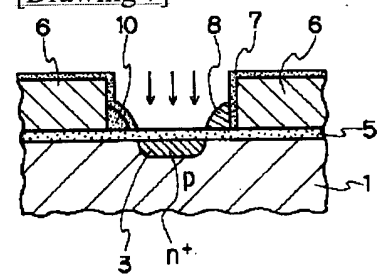
[Drawing 5]



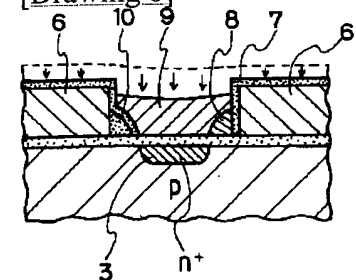
[Drawing 6]



[Drawing 7]

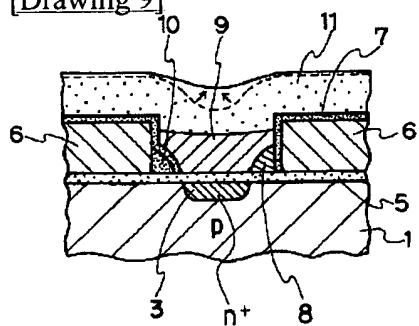


[Drawing 8]

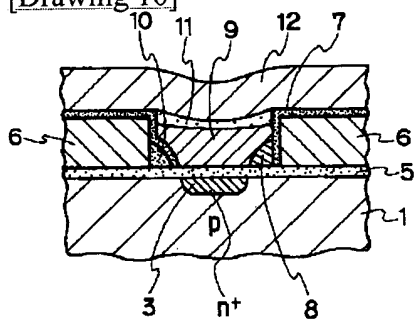




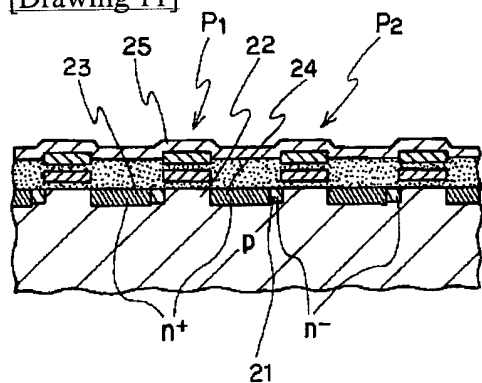
[Drawing 9]



[Drawing 10]

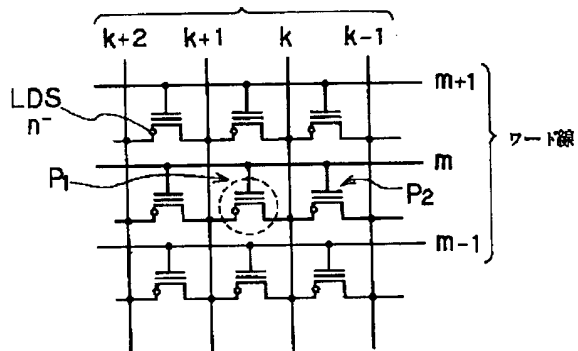


[Drawing 11]



[Drawing 12]

ビット線



[Translation done.]

